

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6433975号
(P6433975)

(45) 発行日 平成30年12月5日(2018.12.5)

(24) 登録日 平成30年11月16日(2018.11.16)

(51) Int.Cl.	F I				
A 6 1 B	1/045	(2006.01)	A 6 1 B	1/045	6 3 0
A 6 1 B	1/04	(2006.01)	A 6 1 B	1/04	5 3 0
A 6 1 B	1/00	(2006.01)	A 6 1 B	1/00	6 8 0
G O 2 B	23/24	(2006.01)	G O 2 B	23/24	B
H O 4 N	5/341	(2011.01)	H O 4 N	5/341	

請求項の数 22 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2016-503294 (P2016-503294)	(73) 特許権者	513069064
(86) (22) 出願日	平成26年3月15日 (2014. 3. 15)		デビュイ・シンセス・プロダクツ・インコーポレイテッド
(65) 公表番号	特表2016-520341 (P2016-520341A)		アメリカ合衆国、02767-0350
(43) 公表日	平成28年7月14日 (2016. 7. 14)		マサチューセッツ州、レイナム、パラマウント・ドライブ 325
(86) 国際出願番号	PCT/US2014/029970		325 Paramount Drive
(87) 国際公開番号	W02014/145246		, Raynham MA 02767-
(87) 国際公開日	平成26年9月18日 (2014. 9. 18)		0350 United States
審査請求日	平成29年2月7日 (2017. 2. 7)		of America
(31) 優先権主張番号	61/790, 590	(74) 代理人	100088605
(32) 優先日	平成25年3月15日 (2013. 3. 15)		弁理士 加藤 公延
(33) 優先権主張国	米国 (US)	(74) 代理人	100130384
(31) 優先権主張番号	61/800, 502		弁理士 大島 孝文
(32) 優先日	平成25年3月15日 (2013. 3. 15)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 入力クロック及びデータ伝送クロックのない画像センサ同期

(57) 【特許請求の範囲】

【請求項 1】

制御された光環境に使用される内視鏡システムであって、
 内腔及び画像センサを含む内視鏡と、
 前記画像センサと電子通信する制御回路と、を備え、
 前記制御回路は、前記画像センサの動作を制御し、
 前記画像センサは、
 入出力パッドであって、パッドカウントは、専用同期クロックパッドを有さないこと
 によって低減される、入出力パッドと、
 フレーム周期であって、3つの定義された位相、即ち、
 画像データが前記パッドを介して出力されるローリング読み出し位相、
 非画像データが前記パッドを介して出力されるサービス線位相、
 命令データが前記パッドを介して前記画像センサによって受信される構成位相、に分
 割される、フレーム周期と、を含み、
 信号遷移部は、前記フレーム周期に対応して前記画像センサからの出力データ内で符号
 化される、内視鏡システム。

【請求項 2】

前記出力データは、前記信号遷移部をフレームデータ内のサービス線として含む、請求
 項 1 に記載の内視鏡システム。

【請求項 3】

カメラユニットクロックは、入来センサデータを同期させるために使用される、請求項 1 に記載の内視鏡システム。

【請求項 4】

データ回復回路は、前記入来センサデータをロックオンして同期状態に保つために使用され得る、請求項 3 に記載の内視鏡システム。

【請求項 5】

前記画像センサの画素アレイ内に作成されるそれぞれの画素シリアルデータ内に少なくとも 1 つの遷移部を更に備える、請求項 1 に記載の内視鏡システム。

【請求項 6】

前記画素アレイによって作成される一連の複数画素データセット中に少なくとも 1 つの遷移部を更に備える、請求項 5 に記載の内視鏡システム。

10

【請求項 7】

前記画素アレイによって作成されるそれぞれの画素シリアルデータ内に複数の遷移部を更に備える、請求項 5 に記載の内視鏡システム。

【請求項 8】

前記画素データは、同期のためにクロック信号データと入れ替え作成される、請求項 1 に記載の内視鏡システム。

【請求項 9】

前記画素データは、1 つのフレーム周期の少なくとも 1 つのサービス線位相内のクロック信号データと入れ替えられる、請求項 1 に記載の内視鏡システム。

20

【請求項 10】

前記画素データは、真の画素データ出力位相の直前に前記サービス線位相内のクロック信号データと入れ替えられる、請求項 1 に記載の内視鏡システム。

【請求項 11】

クロック信号データは、画素データ出力位相中を除き、全てのフレーム周期位相中に伝送される、請求項 1 に記載の内視鏡システム。

【請求項 12】

前記センサのブロック及び前記カメラユニットのブロックで構築された位相同期ループを更に備える、請求項 3 に記載の内視鏡システム。

【請求項 13】

30

センサ位相同期ループブロック及びカメラユニット位相同期ループブロックを共に電氣的に接続するデータ線及び構成線を更に備える、請求項 12 に記載の内視鏡システム。

【請求項 14】

カメラユニットクロック及びデータ回復回路が、前記入来センサデータにロックオンするために使用される、請求項 13 に記載の内視鏡システム。

【請求項 15】

フレームタイミングの定義された部分中に画像データを発行する双方向データパッドを更に備える、請求項 1 に記載の内視鏡システム。

【請求項 16】

前記データパッドは、フレームデータ出力の複数の部分中に及びそれらに対応して複数の形式のデータを発行する、請求項 15 に記載の内視鏡システム。

40

【請求項 17】

前記データパッドは、受信モードにある間に、前記フレーム周期中の第 3 の定義された期間中に、方向を切り替えて、コマンドを外部システム構成部品から受信するように構成される、請求項 16 に記載の内視鏡システム。

【請求項 18】

前記発振器が電圧制御発振器であり、

前記電圧制御発振器を駆動するチャージポンプに基づく位相同期ループを更に備える、請求項 1 に記載の内視鏡システム。

【請求項 19】

50

前記電圧制御発振器を駆動するデジタル/アナログコンバータに基づく位相同期ループを更に備える、請求項 18 に記載の内視鏡システム。

【請求項 20】

結果として生じる動作周波数の変化を記憶するセンサ構成レジスタを更に備える、請求項 1 に記載の内視鏡システム。

【請求項 21】

位相同期ループ基準クロックとしての局部発振器を更に備える、請求項 1 に記載の内視鏡システム。

【請求項 22】

電圧強度が異なるプッシュに基づく位相同期ループを更に備える、請求項 1 に記載の内視鏡システム。

【発明の詳細な説明】

【背景技術】

【0001】

技術の進歩は、医療利用のための画像化能力の向上を提供してきた。最も有益な前進のうちの一部を享受した 1 つの領域は、内視鏡を占める構成要素の進歩に起因した内視鏡下外科的処置の領域である。

【0002】

本開示は、一般に、電磁式感知及び電磁センサに関し、更に詳しくは、データ転送に関する。本開示の特徴及び利点は、後続の説明において述べられ、一部はその説明から明らかであり、又は過度な実験を伴わずに本開示の実施によって明らかにされ得る。本開示の特徴及び利点は、開示において特に指し示された器具及び組合せによって実現され、獲得され得る。

【図面の簡単な説明】

【0003】

本開示の非限定的かつ非網羅的な実装を以下の図を参照して説明するが、同様の参照番号は、特に指定がない限り様々な図を通して同様の部品を指す。本開示の利点は、以下の説明及び添付図面に関してより深く理解されるであろう。

【図 1】本開示の原理及び教示に従う画素アレイ及び画像センサの動作の実施形態の概略図を例示する。

【図 2】本開示の原理及び教示に従う、センササービス線と内のデータ転送のグラフィック表現を例示する。

【図 3】本開示の原理及び教示に従う、画素アレイ及び画像センサの動作の実施形態の概略図を例示する。

【図 4】本開示の原理及び教示に従うセンサのローリング読み出し出力データのグラフィック表現を例示する。

【図 5 A】本開示の原理及び教示に従う、オフチップ発振器を有する画像センサの実施形態の概略図を例示する。

【図 5 B】本開示の原理及び教示に従う、オンチップ発振器を有する画像センサの実施形態の概略図を例示する。

【図 6】本開示の原理及び教示に従う、クロック管理及びデータ並べ替え用回路の実施形態の概略図を例示する。

【図 7】本開示の原理及び教示に従う、カメラユニットと CMOS センサとの間のクロック管理及びデータ並べ替え用回路の実施形態の概略図を例示する。

【図 8】本開示の原理及び教示に従う、カメラユニットと CMOS センサとの間のクロック管理及びデータ並べ替え用回路の実施形態の概略図を例示する。

【図 9】本開示の原理及び教示に従う、カメラユニットと CMOS センサとの間のクロック管理及びデータ並べ替え用回路の実施形態の概略図を例示する。

【図 10】本開示の原理及び教示に従う、カメラユニットと CMOS センサとの間のクロック管理及びデータ並べ替え用回路の実施形態の概略図を例示する。

10

20

30

40

50

【図11】本開示の原理及び教示に従うCMOSセンサ動作周波数の調整の実施形態のフローチャートを例示する。

【図12】本開示の原理及び教示に従う動作パラメータの表を例示する。

【図13】本開示の原理及び教示に従うハードウェアの実施形態を例示する。

【図14A】本開示の原理及び教示に従う、3次元機能性を提供する、複数の画素アレイを有するセンサの実施形態を例示する。

【図14B】本開示の原理及び教示に従う、3次元機能性を提供する、複数の画素アレイを有するセンサの実施形態を例示する。

【図15】図15A及び図15Bは、画素アレイを形成する複数の画素列が第1の基板の上に位置し、複数の回路列が第2の基板の上に位置し得る複数の基板の上に構築された画像センサの実装の、かつ、1つの画素列と、関連の又は対応する回路列との間の電気的接続及び通信を示す図を例示する。

10

【図16A】複数の画素アレイ及び画像センサが複数の基板上で構築され得る、3次元画像を生成する、複数の画素アレイを有する画像センサの実装の図を例示する。

【図16B】複数の画素アレイ及び画像センサが複数の基板上で構築され得る、3次元画像を生成する、複数の画素アレイを有する画像センサの実装の図を例示する。

【発明を実施するための形態】

【0004】

本開示は、主として医療用途に適し得るデジタル画像処理用の方法、システム及びコンピュータベースの製品まで拡張される。本開示の以下の説明では、本開示の一部を成し、かつ、本開示が実践され得る特定の实装が例示として示される添付図面を参照し得る。他の実装例が利用されてもよく、そして構造上の変更が本開示の範囲から逸脱することなくなされ得ることを理解されたい。

20

【0005】

本開示は、出力クロック（クロックレスデータ伝送）の必要性及び入力クロックの必要性を無効にすることによって画像センサパッドカウントを低減するシステム及び方法まで拡張される。基本戦略は、センサは、カメラのサポート電子品内のデータレシーバがCDR（クロックデータ回復）回路（クロックトレーニング）を使用して1及び0の連続ストリーム同期するように電源投入時にデータポートで該ストリームクロック発行するというものである。必要であれば、連続ストリームは、1つの構成レジスタビットをトグルングすることによって、通常の動作中に可能にすることができる。受信器がこの学習パターン上へロックされると、通常のセンサ画像操作は先に進み得る。ロックを維持するために、遷移のない長期が、各画素について発行されるデジタル値の単一のインバートビットを含むことによって回避され得る。

30

【0006】

腹腔鏡検査、関節鏡検査、泌尿器科、婦人科及びENT（耳鼻咽喉）処置に使用される従来のロッドレンズ内視鏡は、複雑な光学構成のために製造費が高つく。入射画像情報は、光学ドメインにおいてその長さに沿ってずっと移送される。典型的には、画像感知装置が常駐するハンドピースユニットに光学的に結合される。この形式の剛性内視鏡は、また、精巧であり、かつ、取り扱い、使用及び滅菌中に損傷が発生しやすい。必要な補修及び滅菌プロセスは、該内視鏡利用されるそれぞれの処置の更なる出費増となる。

40

【0007】

画像センシング技術の進歩によって、製造費が安く、かつ、極めてカスタマイズ可能であるCMOSデバイスが登場した。CCDに基づくセンサの動作に必要であった外部回路の多くは、同じチップにピクセルアレイとして統合されてもよく、より低い動作電圧が必要とされる。したがって、CMOSに基づくカメラは更に安価に容易に製造され、CCDに基づく対応物よりはるかに汎用性が高いことがある。同様の理由から、CMOSセンサが、内視鏡システム内でますます利用されつつある。

【0008】

製造経費負担が軽減される内視鏡は、画像感知デバイスを内視鏡の遠位端にて設置する

50

ことによって実現され得るが、光伝送組立体は、単純なプラスチックレンズスタックによって事実上取って代わられ得るからである。それらを1回使い切りのみ用に製造し、その後破棄するか又は再利用とすれば、修理と殺菌の工程が不要なので、より経済的に有意義であり、それらは大変安価になり得る。

【0009】

かかる内視鏡の解決策を生み出す難しさは、画像の品質を保つことにあり、それはセンサがそこに嵌合しなければならない領域の両方向に厳しいスペース制約があるためである。センサ領域を低減することは、一般に、画素カウント及び/又は画素領域の低減を意味し、これは、解像度、感度、及び動作範囲に影響を与える恐れがある。通常、内視鏡システムは、安定した広帯域照射を感知して、波長感度の3つ又はそれ以上の範囲の画素にセグメント化されるアレイによって色情報を提供することを対象とする。これは、個々の色フィルタをそれぞれの画素上に巧みに作ることによって行われ、バイエルモザイクが、最も一般的な解決策である。

10

【0010】

解像度損失を回避する1つの方法は、色フィルタを排除することであるが、バイエルモザイクでは、例えば、ネイティブアレイ解像度と比較すると輝度解像度(x又はyにおいて)最大係数 $1/2$ の損失があり得るからである。このような場合の色情報は、別個のフレーム捕捉中に異なる波長又はその組合せでレーザ又はLEDベースの発光体にパルスを与えることによって提供することができる。出願人は、センサの特別設計によって60Hz以上の進行フレームレートでの高精細度品質を可能として、これに対する各種アプローチ及び解決策を開発した。出願人による更なる開発によって、周辺回路をその極小面積に削減し、一方では画像データをデジタル領域内オフチップに伝送することが可能となった。

20

【0011】

チップ領域を有意に消費するのは、センサチップを起点、終点として電力、つまり、入出力信号を提供するために使用されるそれぞれのボンダパッドである。したがって、極小の面積とするためには、できる限りボンダパッドの数を削減することが望ましい。

【0012】

センサデータの同期は、出力クロックがなくとも行え得る。高速データ伝送には、通常、同期のためにクロックが伴い得る。これには、LVDS規格が使用されている場合には、CMOS用に1つの更なる携帯情報端末、つまり、2つの更なるパッドという不便さがある。高速データをラッチする代替システム及び方法は、クロック信号をデータストリーム自体内に埋め込むこと(クロック符号化)であり得る。受信端にて、データストリームは、データをラッチするためにその後使用されるクロックを抽出するために復号され得る。このシステム及び方法の不利又は短所は、有意な負担がペイロードに追加され、出力周波数が有意に増大されなければならないということであり得る。

30

【0013】

本開示では、クロック符号化を使用せず出力クロックパッドの必要性を防止し得る方法を説明する。その代わりに、本開示は、入来データを正しくラッチするためにCDR(クロックデータ回復)システムをカメラユニット上で使用し得る。CDRシステムでは、内部PLL(位相同期ループ)が、入来データ周波数をロックオンし、かつ、データをラッチするために使用される。ロックプロセスには、PLLが収束するためにデータ遷移部が必要である。典型的には、初期のロック(及び再ロック)の最小数の遷移部が、(PLLがロック状態にとどまるために必要とされ得る)遷移部なしの最大数の連続許容ビットと共に指定されることになる。

40

【0014】

図をここで参照すると、図1は、最小領域特殊CMOS画像センサの実施形態の内部タイミングを例示する。それぞれのフレーム周期は、4つの異なった位相を含み得る。位相1及び3中、データは、物理画素からの信号サンプルでないセンサデータパッド150を介してセンサから発行され得る。むしろ、カメラシステムとの、かつ、データロックのた

50

めのチップの同期に関係するデータである。位相 2 は、センサローリング読み出し（物理画素の内部のタイミング、同期、及び読み出し）に関係し、一方、位相 4 は、センサ構成のためのものである。構成位相中、センサ出力データ線 160 は、入来構成コマンドを受理するために逆にされ得る。位相 4 中、カメラユニット内の CDR 回路は、ロック解除されるリスクがあるが、センサは、定義された期間中にデータ遷移部を送らないことになるからである。位相 1 のサービス線は、データ遷移部の連続ストリームを送るために使用され得、しかしながら、カメラユニット CDR 回路を再ロックするために、データ遷移部は、必要とされるべきである。

【0015】

図 2 は、通常であれば、画素データ（クロック回復線）210 がある、クロックのような信号が出力データストリームに挿入されるようなストリームの実施例を例示する。他のクロックパターンが使用され、かつ、本開示の範囲内に該当し得ることに注意されたい。図 2 で最も良くわかるように、線ヘッダ 222 が、カメラシステムがクロック回復線と画素データ線とを区別するために定義され得る。位相 1 のクロック回復線の数は、レジスタ設定を介して調節可能である。

【0016】

位相 4 の持続時間は、非常に限られた数のクロック回復線を可能にする約 5 ms ~ 10 ms を下回り得ることに注意されたい。したがって、システムを再ロックするために利用可能な遷移部の数は、対応して低いものであり得る。しかしながら、これは、通常、問題にならないはずであり、カメラユニット CDR の PLL 電圧は、位相 4 中にロック電圧から非常に遠くに離れるようにドリフトする時間を有していないからである。PLL 電圧が（例えば立ち上げ時に）ロック電圧から有意に離れている場合、受信器には、有意により大きな数の遷移部が必要である。その目的のために、センサをフルクロックトレーニングシーケンスにあるようにプログラムすることができ、位相 1、2 及び 3 は、クロックトレーニングの連続期間になるように統合され得る。例えば、図 3 を参照されたい。カメラユニット CDR がロックされると、センサは、通常動作を再開し得、位相 1 は、カメラユニット CDR の再ロックに必要とされるより小さい調整を提供する。したがって、ロック又は再ロックするための遷移部の最小数に関する CDR 指定は、説明する 2 つの動作モードによって対応される。

【0017】

（確実に CDR がロックを失わないようにするために）遷移部間でビットの最大数に関係する CDR 指定に対応するために、画素データの特別な符号化に基づく方法が用いられ得る。

【0018】

図 4 では、そのような特別な画素符号化の実施例が示されており、実際の画素データ値は 11 ビットである（MSB が最初に伝送され、LSB が最後に伝送される）。12 番目のビットが、各画素データに追加され得、これは、常に、11 番目（最下位）の真のビットの逆にしたバージョンである。これによって、結果的に、オーバーヘッドがほとんどない符号化となる。高い遷移率が、画素データの伝送中に取得され得、その結果、カメラユニット CDR がロック解除される可能性が回避される。

【0019】

図 5 A 及び図 5 B は、画像センサ 505 のクロック信号を生成する 2 つの従来の方法を例示する。図 5 A は、水晶発振器及び位相同期ループ（PLL）回路であり得るオフチップデバイスに関する。非常に正確ではあるが、この方法は、1 つのパッド 510 及び 1 つのアクティブ構成部品の負担を増す。更に、能動構成部品は、更に導体カウントを増大させる低速制御プログラミングを必要とし得る。これは、空間が非常に限られた内視鏡の遠位先端では短所であり得る。図 5 B は、オンチップ回路を使用するクロック生成を表す。この方法は、パッド 510 及び導体カウントの観点から有利な結果を提供する。しかしながら、そのような回路は、一貫せず、チップ間で有意な可変性を示し得る。更に、温度依存型であり、かつ、温度の変化の影響を受けやすい可能性がある。これらの欠点のために

10

20

30

40

50

、フレーム率が超精密である必要がある映像のような用途での使用が妨げられる。

【 0 0 2 0 】

本開示では、外部構成部品を増設することなくオンチップ正確クロックを生成する方法及びシステムを説明する。更に、センサデータ出力パッド及び低速走行速度制御プログラミングパッド（上述したのと同じ双方向パッドであり得る）を再利用することによって、余分のパッドも導体も不要であることに注意されたい。

【 0 0 2 1 】

図6は、従来のPLL 600を示す。VCDL（電圧制御遅延線）クロックは、周波数検出器で入力クロックと比較され、アッププッシュ、又は、ダウンプッシュが、周波数検出器比較結果に応じて外部のVCO（電圧制御発振器）に発行される。このシステムは、確実にVCDLクロックが常に入力クロックに適合するにすることを動的に反応して調整され得る。

【 0 0 2 2 】

システム及び方法の背後にある概念は、2つの装置間に既に存在する通信プロトコルを利用してセンサとカメラユニットとの間で重なり合うPLLを作成することである。実施形態では、このシステム及び方法は、周波数検出器をセンサPLLからカメラユニットまで移動させ得る。その入力は、その後、カメラユニット発振器によって提供された正確なクロックに付着することができる。この局部発振器は、カメラユニット内に位置するのでセンサパッドカウントを増大させないという更なる利点を有する。この実施形態では、PLL内のデジタルフィードフォワードノード及びフィードバックノードが選択されて、フィードフォワードシステムノード（カメラユニットからセンサまでの低速走行速度制御プログラミング）及びフィードバックシステムノード（センサからカメラユニットまで画素データ出力）に適合され得る。

【 0 0 2 3 】

図7の実施形態では、フィードフォワードノードは、高速低速信号であるように選ばれ得、かつ、センサ低速制御プログラミングを使用して更新されることになる。フィードバックノードは、n分周器の前に逡倍クロックであるように選ばれ得る。この逡倍周波数は、画素データをシリアル化するために使用され得、かつ、カメラユニットにおいてCDRによって復号され、該周波数は、その後、周波数検出器にフィードバックすることができる。そのような実施形態では、パッド710カウント又は導体カウントは増大しない。

【 0 0 2 4 】

図8に示す実装では、チャージポンプの代わりにDAC 808が使用され得る。低速制御部は、プッシュ-アップ/プッシュ-ダウン（チャージポンプを使用した場合）の代わりに、デジタルワード（DACを使用した場合）で構成レジスタをプログラムすることができよう。

【 0 0 2 5 】

オンチップPLLをセグメント化することなくそのようなシステムを構築することが望ましいであろう。図9の実施形態は、内部PLLは不変のままであるが、クロック入力パッドは除去され、入力クロック信号が、図7と同等のクロック発生器分布回路によって提供される等価回路を示す。この最終回路の、チャージポンプ909の代わりにDAC 1010を使用するバージョンを図10に示す。

【 0 0 2 6 】

実施形態では、カメラユニット内に常駐し得るアルゴリズムが、図11に示されており、チャージポンプベースのシステム用に構築され得る。図12の表は、図11アルゴリズムについてカメラユニットによって使用され得る信号及びパラメータを記載する。

【 0 0 2 7 】

以下は、アルゴリズム実装の例である。RCLKは、REFCLKを比較の方法又は方式として用いてターゲット周波数と比較され得る。RCLKが低すぎる場合、PUSH UPがアサートされ得る。RCLKが高すぎる場合、PUSH DOWNがアサートされ得る。BIGLITTLE出力は、RCLKがターゲット周波数からどのく

10

20

30

40

50

らい離れているかに基づいて使用され得る。一例として、大きいプッシュが5%の変化を表し、少しのプッシュが周波数の1%の変化を表す場合、RCLKが3%差し引いてもターゲット周波数よりも低い場合、ブロックは、PUSH UP BIGコマンドを発行し得る。次にRCLKが測定されるとき、目標よりもほぼ2%大きいことになり、それで、ブロックは、PUSH DOWN LITTLEコマンドを発行し得る。

【0028】

RCLKをターゲット周波数と比較する方法は、以下の通りであり得る。実施例では、REFCLKが27MHzであり、目標が40MHzであり、RCLKが38MHzである場合、ブロックは、1msにわたってRCLK遷移部の数(つまりREFCLKの27,000個遷移部)を数え得る。BIG及びLITTLEの閾値は、5%及び1%であると想定して、カウンタ値、ここでは38,000を40,000という所望のターゲットと比較し得る。

【0029】

本開示の実装は、以下で更に詳細に論じるように、例えば、1つ又は2つ以上のプロセッサ及びシステムメモリなど、コンピュータハードウェアを含む専用又は汎用コンピュータを含むか又は利用し得ることが認識されるであろう。本開示の範囲内の実装は、また、コンピュータ実行可能な命令及び/又はデータ構造を担持つまり記憶する物理的及び他のコンピュータ可読媒体を含み得る。そのようなコンピュータ可読媒体は、汎用又は専用コンピュータシステムによってアクセスすることができる任意の利用可能な媒体であり得る。コンピュータ実行可能な命令を記憶するコンピュータ可読媒体は、コンピュータ記憶媒体(装置)であり得る。コンピュータ実行可能な命令を担持するコンピュータ可読媒体は、伝送媒体であり得る。したがって、制限するものではなく一例として、本開示の実装は、少なくとも2つの明確に異なる種類のコンピュータ可読媒体、即ち、コンピュータ記憶媒体(装置)及び伝送媒体を含むことができる。

【0030】

コンピュータ記憶媒体(装置)としては、RAM、ROM、EEPROM、CD-ROM、ソリッドステートドライブ(「SSD」)(例えば、RAMに基づく)、フラッシュメモリ、相変化メモリ(「PCM」)、他の形式のメモリ、他の光ディスク記憶装置、磁気ディスク記憶装置、又は、他の磁気記憶装置、又は、コンピュータ実行可能な命令又はデータ構造の形である所望のプログラムコード手段を記憶するために使用することができ、かつ、汎用又は専用コンピュータによってアクセスすることができる任意の他の媒体が挙げられる。

【0031】

「ネットワーク」は、コンピュータシステム及び/又はモジュール及び/又は他の電子機器間の電子データの転送を可能にする1つ又は2つ以上のデータリンクとして定義され得る。実装では、センサ及びカメラ制御ユニットは、互い、かつ、接続先であり得るネットワーク上で接続される他の構成部品と通信するためにネットワーク化され得る。情報がコンピュータにネットワーク又は別の通信接続(配線接続、無線、又は、配線接続又は無線の組合せ)で転送つまり提供されるとき、コンピュータは、接続を伝送媒体として適切に見る。伝送媒体としては、コンピュータ実行可能な命令又はデータ構造の形で所望のプログラムコード手段を担持するために使用することができ、かつ、汎用又は専用コンピュータによってアクセスすることができるネットワーク及び/又はデータリンクを挙げることができる。上記の組合せは、また、コンピュータ可読媒体の範囲内に含まれるべきである。

【0032】

更に、様々なコンピュータシステム構成部品に到達すると、コンピュータ実行可能な命令又はデータ構造の形のプログラムコード手段は、あの、伝送媒体からコンピュータ記憶媒体(装置)に(又は、その逆)自動的に転送することができる。例えば、ネットワーク又はデータリンク上で受信されたコンピュータ実行可能な命令又はデータ構造は、ネットワークインターフェイスモジュール(例えば、「NIC」)内でRAMにおいてバッファ

10

20

30

40

50

リングし、その後、最終的には、コンピュータシステムRAM及び/又はコンピュータシステムでの揮発性が小さいコンピュータ記憶媒体(装置)に転送することができる。また、RAMとしては、ソリッドステートドライブ(FusionIOなど、SSD又はPCI Expressベースのリアルタイムメモリ階層型ストレージ)を挙げることができる。したがって、コンピュータ記憶媒体(装置)は、また(又は、主としてさえ)伝送媒体を利用するコンピュータシステム構成部品に含めることができることを理解されたい。

【0033】

コンピュータ実行可能な命令は、例えば、プロセッサにて実行されたとき、汎用コンピュータ、専用コンピュータ、又は、専用処理装置に特定の機能又は特定のグループの機能を実行させる命令及びデータを含む。コンピュータ実行可能な命令は、例えば、バイナリ、アセンブリ言語などの中間書式命令、又はソースコードでさえあり得る。主題は、構造的特徴及び/又は方法論的行為に特有な言語で記載されたが、添付される本開示において定義される主題が上記の特定の機能又は行為に必ずしも限定されるものではないことが理解されるべきである。むしろ、説明する特定の機能及び行為は、本開示を実施する例示的な形態として開示され得る。

【0034】

当業者は、本開示は、パーソナルコンピュータ、デスクトップコンピュータ、ラップトップコンピュータ、メッセージプロセッサ、制御ユニット、カメラ制御ユニット、ハンドヘルドデバイス、ハンドピース、マルチプロセッサシステム、マイクロプロセッサベースの又はプログラマブル消費者電子製品、ネットワークPC、ミニコンピュータ、メインフレームコンピュータ、移動体電話、PDA、タブレット、ポケットベル、ルータ、スイッチ、様々な記憶装置などを含め、多くの形式のコンピュータシステム構成を有するネットワークコンピューティング環境において実践され得ることを認識するであろう。上述したコンピューティングデバイスのいずれも、レンガ及びモルタル製の場所によって提供され得るか、又は、該場所内に位置し得ることに注意されたい。本開示は、また、ネットワークを介して(配線接続データリンク、無線データリンク、又は、配線接続データリンク及び無線データリンクの組合せによって)結び付けられ得るローカル及びリモートコンピュータシステムが両方ともタスクを実行する分散システム環境において実践され得る。分散型システム環境においては、プログラムモジュールは、ローカル及びリモートの両方のメモリ記憶デバイス内に位置し得る。

【0035】

更に、適切な場合、本明細書で説明する機能は、ハードウェア、ソフトウェア、ファームウェア、デジタル構成部品、又はアナログ構成部品のうちの1つ又は2つ以上において実行することができる。例えば、1つ又は2つ以上の特定用途向け集積回路(ASIC)、又は、フィールドプログラマブルゲートアレイは、本明細書で説明するシステム及び処置のうちの1つ又は2つ以上を実行するようにプログラムすることができる。特定の用語が、特定のシステム構成部品を指すために以下の説明及び本開示を通して使用される場合がある。当業者が認識することになるように、構成部品は、異なる名前によって指される場合がある。本文書は、名前が異なる構成部品を区別することを意図するのではなく、機能が異なる構成部品を区別することを意図する。

【0036】

図13は、例示的なコンピューティングデバイス1300を示すブロック図である。コンピューティングデバイス1300は、本明細書で論じるものなど、様々な処置を実行するために使用され得る。コンピューティングデバイス1300は、サーバー、クライアント、又は、任意の他のコンピューティングエンティティとして機能し得る。コンピューティングデバイスは、本明細書で説明するアプリケーションプログラムなど、本明細書で論じるように様々なモニタリング機能を実行することができ、かつ、1つ又は2つ以上のアプリケーションプログラムを実行することができる。コンピューティングデバイス1300は、デスクトップコンピュータ、ノートパソコン、サーバコンピュータ、ハンドヘルドコンピュータ、カメラ制御ユニット、タブレットコンピュータなどなど、多種多様なコン

10

20

30

40

50

ピューティングデバイスのいずれかであり得る。

【0037】

コンピューティングデバイス1300は、1つ又は2つ以上のプロセッサ1302と、1つ又は2つ以上の記憶装置1304と、1つ又は2つ以上のインターフェース1306と、1つ又は2つ以上の大容量記憶装置1308と、1つ又は2つ以上の入出力(I/O)装置1310と、表示装置1330とを含み、これらの全ては、バス1312に結合され得る。プロセッサ1302は、記憶装置1304及び/又は大容量記憶装置1308内に記憶された命令を実行する1つ又は2つ以上のプロセッサ又は制御装置を含む。プロセッサ1302は、また、キャッシュメモリなど、様々な形式のコンピュータ可読媒体を含み得る。

10

【0038】

記憶装置1304としては、揮発性メモリ(例えば、ランダムアクセスメモリ(RAM)1314)及び/又は不揮発性メモリ(例えば、読み取り専用メモリ(ROM)1316)など、様々なコンピュータ可読媒体が挙げられる。記憶装置1304としてはまた、フラッシュメモリなど、再書き込み可能ROMも挙げることができる。

【0039】

大容量記憶装置1308としては、磁気テープ、磁気ディスク、光ディスク、ソリッドステートメモリ(例えば、フラッシュメモリ)など、様々なコンピュータ可読媒体が挙げられる。図13に示すように、特定の大容量記憶装置は、ハードディスクドライブ1324である。様々なドライブが、また、様々なコンピュータ可読媒体からの読み取り値及び/又は該媒体への書き込みを有効にするために大容量記憶装置1308内に含まれ得る。大容量記憶装置1308は、取り外し可能な媒体1326及び/又は取り外し不可能な媒体を含む。

20

【0040】

I/O装置1310としては、データ及び/又は他の情報をコンピューティングデバイス1300から入力又は検索することを可能にする様々な装置が挙げられる。例示的なI/O装置1310としては、デジタル画像処理装置、電磁センサ及びエミッタ、カーソル制御デバイス、キーボード、キーパッド、マイク、モニタ、又は、他表示装置、スピーカ、プリンタ、ネットワークインターフェースカード、モデム、レンズ、CCD、又は、他の画像捕捉デバイスなどが挙げられる。

30

【0041】

表示装置1330として、情報をコンピューティングデバイス1300の1つ又は2つ以上のユーザーに示すことができる任意の形式の装置が挙げられる。表示装置1330の実施例としては、モニタ、ディスプレイ端末、映像投影装置などが挙げられる。

【0042】

インターフェース1306としては、コンピューティングデバイス1300が他のシステム、装置、又は、コンピューティング環境と相互作用することを可能にする様々なインターフェースが挙げられる。例示的なインターフェース1306は、ローカルエリアネットワーク(LAN)、広域ネットワーク(WAN)、無線ネットワーク及びインターネットとのインターフェースなど、任意の数の異なるネットワークインターフェース1320を含み得る。他のインターフェースとしては、ユーザーインターフェース1318及び周辺デバイスインターフェース1322が挙げられる。インターフェース1306は、また、1つ又は2つ以上のユーザーインターフェース要素1318を含み得る。インターフェース1306は、また、プリンタ、ポインティングデバイス(マウス、トラックパッドなど)、キーボードなどのインターフェースなどの1つ又は2つ以上の周辺インターフェースを含み得る。

40

【0043】

バス1312は、プロセッサ1302、記憶装置1304、インターフェース1306、大容量記憶装置1308、及びI/O装置1310が互い、並びに、バス1312に結合された他の装置又は構成部品と通信することを可能にする。バス1312は、システム

50

バス、PCIバス、IEEE 1394バス、USBバスなど、いくつかの形式のバス構造体のうちの1つ又は2つ以上を表す。

【0044】

例示を目的として、プログラム及び他の実行可能なプログラムコンポーネントは、個別的なブロックとして本明細書で示めされ得るが、そのようなプログラム及びコンポーネントは、コンピューティングデバイス1300の異なるストレージ構成部品内に様々な時間にて常駐し得、かつ、プロセッサ1302によって実行され得ることが理解される。あるいは、本明細書で説明するシステム及び手順は、ハードウェア、又は、ハードウェア、ソフトウェア及び/又はファームウェアの組合せで実施され得る。例えば、1つ又は2つ以上の特定用途向け集積回路(ASIC)は、本明細書で説明するシステム及び手順のうち

10

【0045】

本開示は、本開示の範囲から逸脱することなく、CMOS画像センサであるか、電荷結合素子画像センサであるかを問わず、任意の画像センサと共に使用され得ることが認識されるであろう。更に、画像センサは、本開示の範囲から逸脱することなく、内視鏡の先端、撮像デバイス又はカメラのハンドピース、制御ユニット、又は、システムにおける任意の他の場所を含むがこれらに限定されず、システム全体内の任意の場所に位置し得る。

【0046】

本開示によって利用され得る画像センサの実装は、以下を含むが、これに限定されず、以下は、単に、本開示によって利用され得る様々な形式のセンサの実施例である。

20

【0047】

図14A及び図14Bは、本開示の教示及び原理に従う、3次元画像を生成する複数の画素アレイ1410を有するモノリシックセンサ1405の実装を例示する。かかる実装は、3次元画像捕捉に望ましいものであり得、2つの画素アレイ1410は、使用中に偏位され得る。別の実装では、第1の画素アレイ1410及び第2の画素アレイ1410は、電磁放射線の所定の範囲の波長の受信専用であり得、第1の画素アレイ1410は、第2の画素アレイ1410と異なる範囲の波長の電磁放射線専用である。

【0048】

図15A及び図15Bは、複数の基板1510、1511上に構築された画像センサの実装の図を例示する。例示するように、画素アレイ1515を形成する複数の画素列が、第1の基板1511上に位置し、複数の回路列1520が第2の基板1510上に位置する。また、1つの画素列とその関連の又は対応する回路列と間の電気的接続及び通信が、図で例示されている。

30

【0049】

1つの実装では、その他の方法であれば画素アレイ及び支援回路が単一のモノリシック基板/チップ上にある状態で製造されることがあり得る画像センサは、画素アレイが支援回路の全て又は大部分から分離され得る。本開示は、3次元スタッキング技術を用いて共にスタッキングされることになる少なくとも2つの基板/チップを使用し得る。2つの基板/チップのうち第1の基板/チップは、画像CMOSプロセスを用いて処理され得る。第1の基板/チップは、もっぱら画素アレイ、又は、有限の回路によって取り囲まれた画素アレイのどちらかで構成され得る。第2の又はその後の基板/チップは、任意のプロセスを用いて処理され得、かつ、画像CMOSプロセスによるものである必要はない。第2の基板/チップは、様々な及びいくつかの機能を基板/チップ上の非常に限られた空間又は領域内に一体化するために、高密度なプロセス、又は、例えば正確なアナログ機能を一体化するために、混合モード又はアナログプロセス、又は、無線能力を実装するために、RFプロセス、又は、MEMSデバイス置を一体化するために、MEMS(微小電気機械システム)であり得るがこれらに限定されるものではない。画像CMOS基板/チップは、任意の3次元技術を用いて第2又はその後の基板/チップとスタッキングされ得る。第2の基板/チップは、(モノリシック基板/チップ上に実装された場合には)周辺回路としてその他の方法で第1の画像CMOSチップに実装されたと思われる回路の大半つまり

40

50

大部分を支持し得、したがって、システム領域全体が増大されると同時に、画素アレイサイズを一定に、かつ、可能な限りの範囲まで最適化された状態に保ち得る。2つの基板/チップ間の電氣的接続は、ワイヤボンダ、 bumps及び/又はTSV(シリコンバイアを介して)であり得るインタコネクタを介して行われ得る。

【0050】

図16A及び図16Bは、3次元画像を生成する複数の画素アレイを有する画像センサの実装の図を例示する。3次元画像センサは、複数の基板1611a、1611b、1611c上に構築され得、複数の画素アレイ1615a、1615bと、他の関連の回路1630a、1630bとを含み得、第1の画素アレイを形成する複数の画素列及び第2の画素アレイを形成する複数の画素列は、それぞれの基板上に位置し、複数の回路列は、別個の基板上に位置する。画素列と、関連の又は対応する回路列との間の電氣的接続及び通信も例示されている。

10

【0051】

本開示の教示及び原理は、本開示の範囲から逸脱することなく、再使用可能装置プラットフォーム、限定的使用装置プラットフォーム、再配置可能使用装置プラットフォーム、又は、1回使い切り/使い捨て装置プラットフォームにおいて使用されることが認識されるであろう。再使用可能装置プラットフォームでは、エンドユーザーが、装置の洗浄及び殺菌を担当することが認識されるであろう。限定的使用装置プラットフォームでは、装置は、操作不能になる前にある程度の指定の時間量にわたって使用することができる。典型的な新しい装置は、エンドユーザーが洗浄及び殺菌することを必要とする更なる使用で無菌で供給される。再配置可能使用装置プラットフォームでは、第三者が、装置を、新しいユニットよりも低コストでの更なる使用のための1回使い切り装置として再処理(例えば、洗浄、包装、及び殺菌)してもよい。1回使い切り/使い捨て装置プラットフォームでは、装置は、手術室に無菌で提供されて、処分される前に1回のみ使用される。

20

【0052】

その上、本開示の教示及び原理は、赤外線(IR)、紫外線(UV)及びX線のような可視及び非可視のスペクトルを含む電磁エネルギーの波長のうちのいずれか及び全てを含んでもよい。

【0053】

本明細書で開示する様々な特徴が当技術分野において有意な利点及び前進を提供することが認識されるであろう。以下の実施形態は、上記の特徴の一部を例示し得る。

30

【0054】

領域が低減された画像センサの実施形態は、入出力パッドを含み得、パッドカウントは、同期クロックパッドを有さないことによって低減され、信号遷移部は、出力データ内で、即ち、フレーム内のサービス線において符号化され、カメラユニットクロック及び/又はデータ回復回路が、入来センサデータをロックオンして同期状態に保つために使用され得る。実施形態は、内視鏡の遠位端内に配置される最小領域CMOS画像センサを更に含み得る。実施形態は、画素アレイ内に作成されるそれぞれの画素シリアルデータ内に少なくとも1つの遷移部を更に含み得る。実施形態は、画素アレイによって作成される一連の複数の画素データセット中に少なくとも1つの遷移部を更に含み得る。実施形態は、画素アレイによって作成されるそれぞれの画素シリアルデータ内に複数の遷移部を更に含み得る。実施形態は、クロック信号データと入れ替えられた画素データを更に含み得る。実施形態は、1つのフレーム周期の少なくとも1つのサービス線位相以内のクロック信号データと入れ替えられた画素データを更に含み得る。実施形態は、真の画素データ出力位相の直前にサービス線位相内のクロック信号データと入れ替えられた画素データを更に含み得る。実施形態は、画素データ出力位相中を除き、全ての出力フレーム位相内に、かつ、該位相にてクロック信号データと入れ替えられた画素データを更に含み得る。

40

【0055】

画素センサの小型化の実施形態は、画素データ出力位相中を含め、全ての出力フレーム位相内で、かつ、該位相にて画素データをクロック信号データと入れ替え、クロックパッ

50

ドを除去し、センサのブロック及びカメラユニットの他のブロックで位相同期ループ（PLL）を構築し、センサPLLブロック及びカメラユニットPLLブロックを共に接続するデータ線及び構成線を使用し、かつ、カメラユニットクロック及びデータ回復回路を使用して入来センサデータをロックオンすることによって動作し得、設計され得、かつ、これらを含み得る。実施形態は、内視鏡の遠位端において使用される最小領域CMOS画像センサを更を含み得る。実施形態は、フレームタイミングの定義された部分中に画像データを発行する双方向データパッドを更を含み得る。実施形態は、フレームデータ出力の別の部分中に、他の形式のデータを更発行し得る。実施形態は、受信モードにある間に、フレーム中の第3の定義された期間中に、方向を切り替えて、コマンドを外部カメラシステムから受信し得る。実施形態は、電圧制御発振器（VCO）を駆動するチャージポンプに基づくPLLであり得る。実施形態は、VCOを駆動するデジタル/アナログコンバータ（DAC）に基づくPLLであり得る。実施形態は、結果として生じる動作周波数の減少の増加を記憶するようにセンサ構成レジスタをプログラムすることを更を含み得る。実施形態は、局部発振器をPLL基準クロックとして更を含み得る。実施形態は、強度が異なるプッシュ使用を更を含み得る。

【0056】

本開示の前出の「発明を実施するための形態」では、本開示の様々な特徴は本開示を簡素化するために単一の実施形態において共にグループ化される場合がある。この開示の方法は、本開示が、本開示で明白に列挙され得る特徴要素よりも多くの特徴要素を必要とするという趣旨を反映するものとして解釈されるものではない。むしろ、本発明の種々の態様は、単一の先述の開示する実施形態の全ての特徴に該当するわけではない。

【0057】

上記の構成は、本開示の原理の適用を例示し得るにすぎないことを理解されたい。多数の改変物及び代替構成が、本開示の趣旨及び範囲から逸脱することなく当業者によって考案され得、添付の本開示は、そのような改変物及び構成を包含することが意図され得る。

【0058】

したがって、本開示が図面に示して特に詳細に説明するが、サイズ、材料、形状、形態、動作、操作の機能及び方法、組立体及び使用の変形例を含むがこれらに限定されない多数の改変が、本明細書に定める原理及び概念から逸脱することなく行われ得ることが、当業者には明らかであろう。

【0059】

更に、適切な場合、本明細書で説明する機能は、ハードウェア、ソフトウェア、ファームウェア、デジタル構成部品、又はアナログ構成部品のうちの1つ又は2つ以上において実行することができる。例えば、1つ又は2つ以上の特定用途向け集積回路（ASIC）は、本明細書で説明するシステム及び手順のうちの1つ又は2つ以上を実行するようにプログラムすることができる。特定の用語が、特定のシステム構成部品を指すために以下の説明及び本開示を通して使用される場合がある。当業者が認識することになるように、構成部品は、異なる名前によって指される場合がある。本文書は、名前が異なる構成部品を区別することを意図するのではなく、機能が異なる構成部品を区別することを意図する。

【0060】

上述の説明は、例示及び説明を目的として提示されたものである。それは、包括的であることも、開示されたまさにその形態に本開示を限定することも意図していない。以上の教示を考慮すれば、明白な修正又は変形が可能であり得る。更に、上述した代替実装のいずれか又は全ては、本開示の更なるハイブリッド実装を形成するために望まれる任意の組合せで使用され得ることに注意されたい。

【0061】

更に、本開示の特定の实装を説明及び例示してきたが、本開示は、そのように説明及び例示する部品の特定の形態及び構成に限定されるべきではない。本開示の範囲は、本明細書に添付する本開示によって定義されるものとし、一切の今後の本開示は、ここで、かつ、異なる出願及び均等物において提出されるものとする。

【 0 0 6 2 】

〔実施の態様〕

(1) 制御された光環境に使用される内視鏡システムであって、
 内腔及び画像センサを含む内視鏡と、
 エミッタと、
 光ファイバケーブルと、
 前記画像センサ及び前記エミッタと電子通信する制御回路と、を備え、
 前記制御回路は、前記エミッタの負荷サイクルに対応する信号に反応して前記エミッタ
 の前記負荷サイクルを制御することになり、

前記画像センサは、
 入出力パッドであって、パッドカウントは、専用同期クロックパッドを有さないことによ
 って低減される、入出力パッドと、
 フレーム周期であって、3つの定義された位相、即ち、
 画像データが前記パッドを介して出力されるローリング読み出し位相、
 非画像データが前記パッドを介して出力されるサービス線位相、
 命令データが前記パッドを介して前記画像センサによって受信される構成位相、に分
 割される、フレーム周期と、を含み、
 信号遷移部は、前記フレーム周期に対応して前記画像センサからの出力データ内で符号
 化される、内視鏡システム。

10

(2) 前記出力データは、信号遷移部をフレームデータ内のサービス線として含む、実
 施態様 1 に記載の内視鏡システム。

20

(3) カメラユニットクロックは、入来センサデータを同期させるために使用される、
 実施態様 1 に記載の内視鏡システム。

(4) データ回復回路は、前記入来センサデータをロックオンして同期状態に保つた
 めに使用され得る、実施態様 1 に記載の内視鏡システム。

(5) 前記画像センサの画素アレイ内に作成されるそれぞれの画素シリアルデータ内に
 少なくとも1つの遷移部を更に備える、実施態様 1 に記載の内視鏡システム。

【 0 0 6 3 】

(6) 前記画素アレイによって作成される一連の複数画素データセット中に少なく
 とも1つの遷移部を更に備える、実施態様 5 に記載の内視鏡システム。

30

(7) 前記画素アレイによって作成されるそれぞれの画素シリアルデータ内に複数
 の遷移部を更に備える、実施態様 5 に記載の内視鏡システム。

(8) 画素データは、同期のためにクロック信号データと入れ替え作成される (replac
 ed created)、実施態様 1 に記載の内視鏡システム。

(9) 画素データは、1つのフレーム周期の少なくとも1つのサービス線位相内のク
 ロック信号データと入れ替えられる、実施態様 1 に記載の内視鏡システム。

(1 0) 画素データは、真の画素データ出力位相の直前に前記サービス線位相内のク
 ロック信号データと入れ替えられる、実施態様 1 に記載の内視鏡システム。

【 0 0 6 4 】

(1 1) クロック信号データは、画素データ出力位相中を除き、全てのフレーム周期
 位相中に伝送される、実施態様 1 に記載の内視鏡システム。

40

(1 2) 前記センサのブロック及び前記カメラユニットのブロックで構築された位相
 同期ループを更に備える、実施態様 1 に記載の内視鏡システム。

(1 3) センサ位相同期ループブロック及びカメラユニット位相同期ループブロックを
 共に電氣的に接続するデータ線及び構成線を更に備える、実施態様 1 2 に記載の内視鏡シ
 ステム。

(1 4) カメラユニットクロック及びデータ回復回路が、前記入来センサデータにロ
 ックオンするために使用される、実施態様 1 3 に記載の内視鏡システム。

(1 5) 前記フレームタイミングの定義された部分中に画像データを発行する双方向
 データパッドを更に備える、実施態様 1 に記載の内視鏡システム。

50

【0065】

(16) 前記データパッドは、フレームデータ出力の複数の部分中に及びそれらに対応して複数の形式のデータを発行する、実施態様15に記載の内視鏡システム。

(17) 前記データパッドは、受信モードにある間に、前記フレーム周期中の第3の定義された期間中に、方向を切り替えて、コマンドを外部システム構成部品から受信するように構成される、実施態様16に記載の内視鏡システム。

(18) 前記電圧制御発振器を駆動するチャージポンプに基づく位相同期ループを更に備える、実施態様1に記載の内視鏡システム。

(19) 前記電圧制御発振器を駆動するデジタル/アナログコンバータに基づく位相同期ループを更に備える、実施態様18に記載の内視鏡システム。

(20) 結果として生じる動作周波数の変化を記憶するセンサ構成レジスタを更に備える、実施態様1に記載の内視鏡システム。

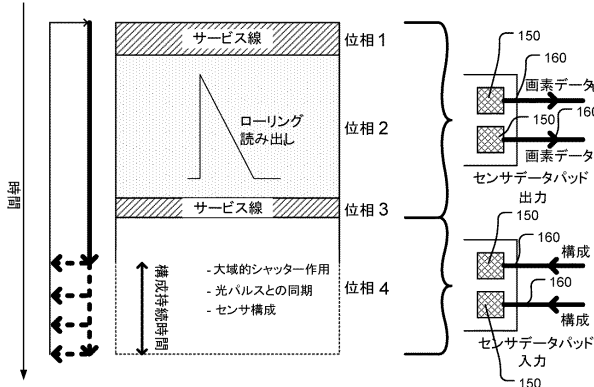
【0066】

(21) 位相同期ループ基準クロックとしての局部発振器を更に備える、実施態様1に記載の内視鏡システム。

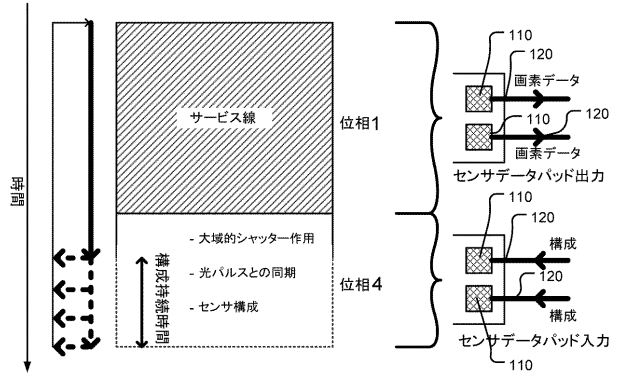
(22) 電圧強度が異なるプッシュに基づく位相同期ループを更に備える、実施態様1に記載の内視鏡システム。

10

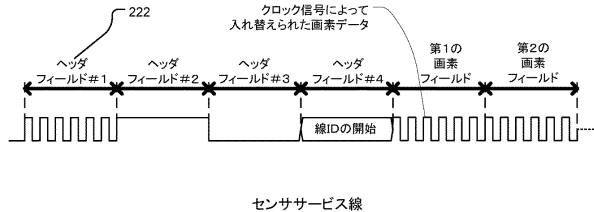
【図1】



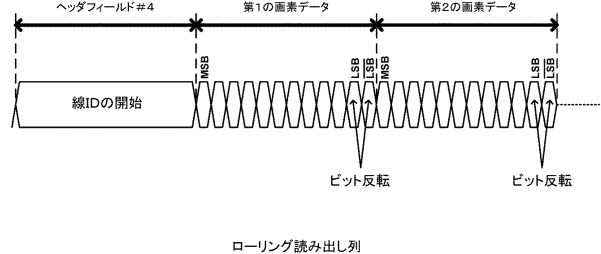
【図3】



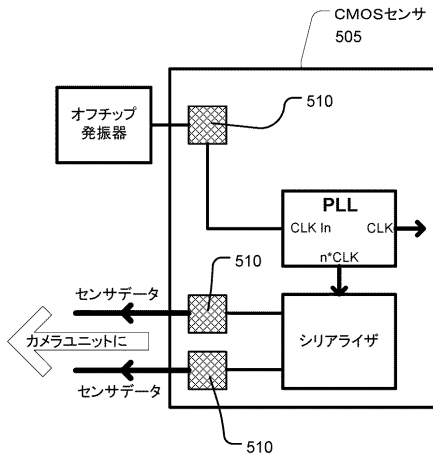
【図2】



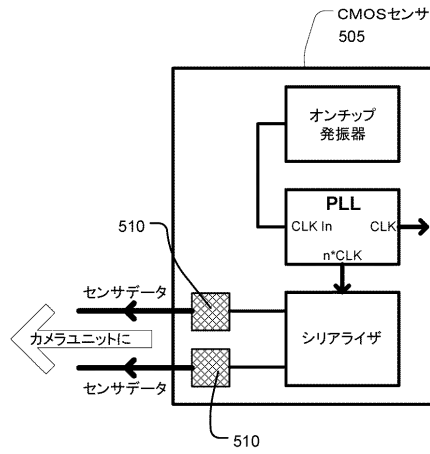
【図4】



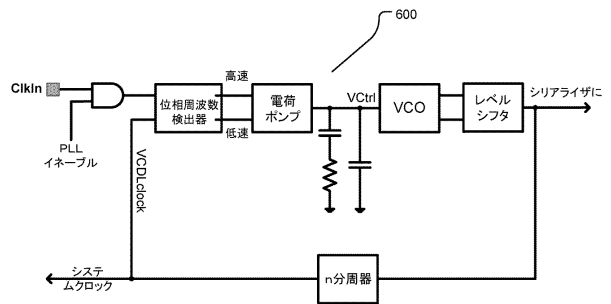
【図5A】



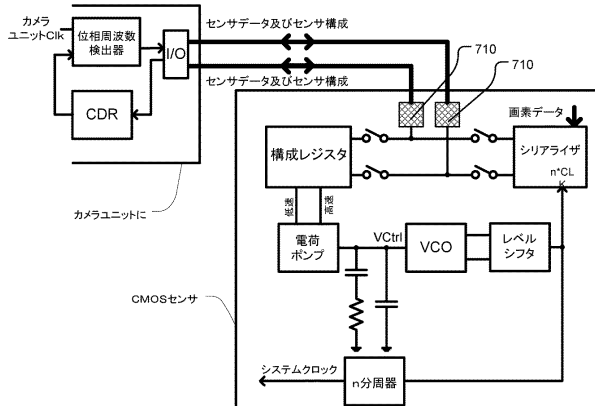
【図5B】



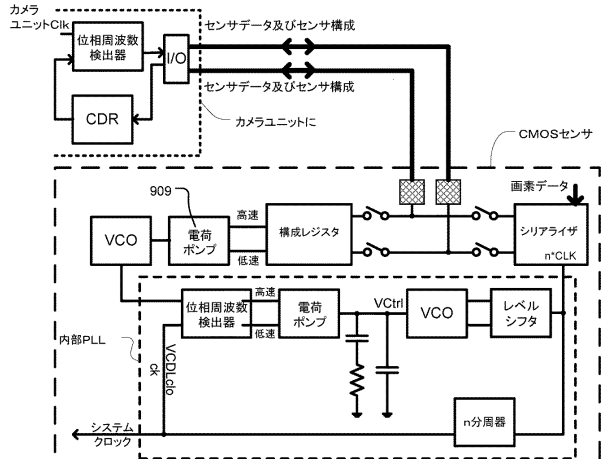
【図6】



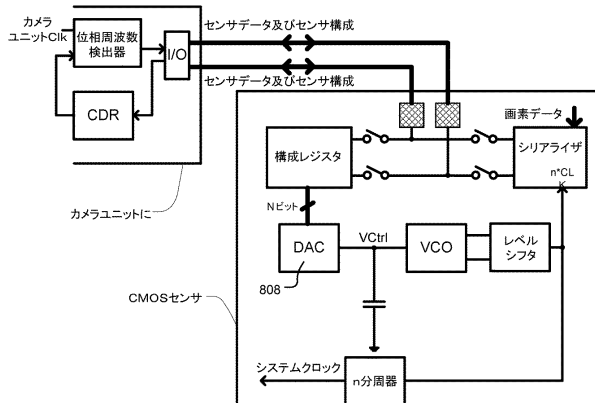
【図7】



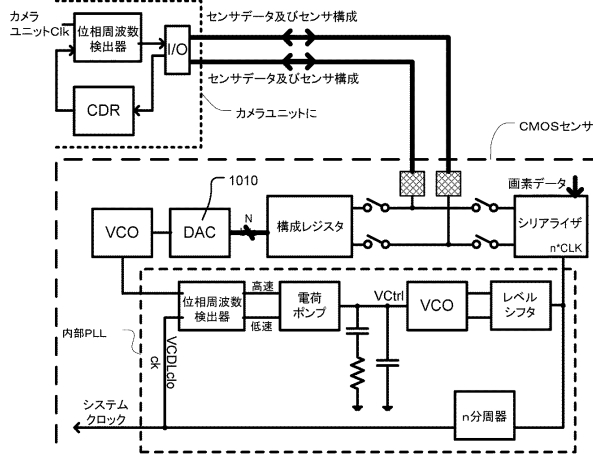
【図9】



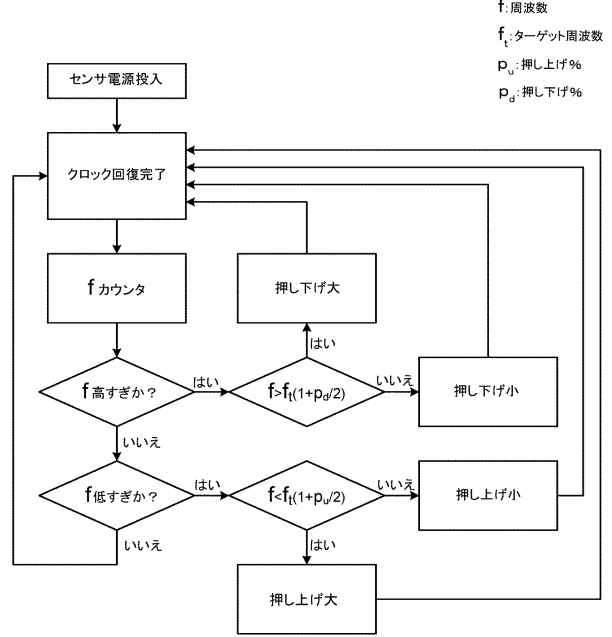
【図8】



【図10】



【図11】



f: 周波数
 f_t: ターゲット周波数
 p_u: 押し上げ%
 p_d: 押し下げ%

【図12】

R_CLK	I	回復クロック。これは、クロック及びデータ回復 (CDR) からの入力である
REF_CLK	I	基準クロック。これは、既知の基準クロックからの入力である
CTL	I	監視ソフトウェアからの制御入力。これは、大及び小のプッシュ閾値、並びに、ターゲット周波数を設定する
PUSH	O	0: 周波数を押し進めない、1: 周波数を押し進める
UP_DOWN	O	0: PUSHの場合は押し下げる
BIG_LITTLE	O	0: PUSHの場合は押し下げる、1: PUSHの場合、大きく押し進める

【図14A】

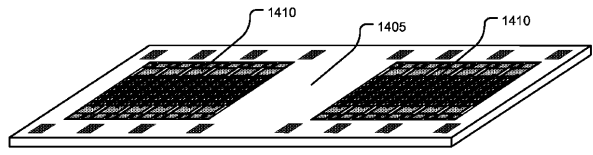
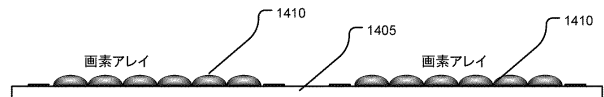
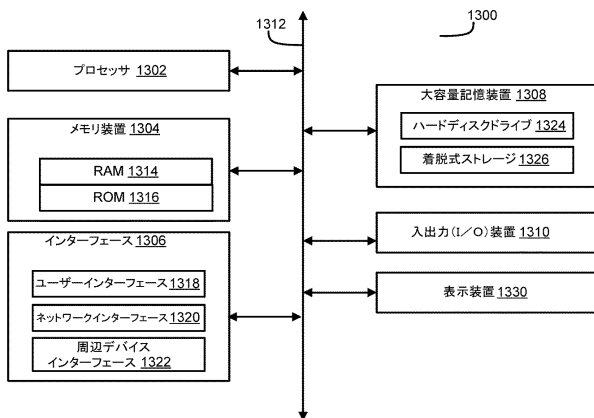


FIG. 14A

【図14B】



【図13】



フロントページの続き

(51) Int.Cl.		F I			
H 0 4 N	5/225	(2006.01)	H 0 4 N	5/225	5 0 0
H 0 4 N	5/232	(2006.01)	H 0 4 N	5/232	
H 0 4 N	5/369	(2011.01)	H 0 4 N	5/369	
H 0 4 N	5/374	(2011.01)	H 0 4 N	5/374	

(72)発明者 ブランカート・ローラン
 アメリカ合衆国、 9 1 3 6 2 カリフォルニア州、ウエストレイク・ビレッジ、グレート・スモーキー・コート 2 7 7 6

(72)発明者 ウィヘルン・ドナルド・エム
 アメリカ合衆国、 8 4 4 0 5 ユタ州、サウス・オグデン、サウス・1 1 0 0 ・イースト 5 5 9
 1

審査官 磯野 光司

(56)参考文献 米国特許出願公開第 2 0 0 4 / 0 0 7 3 0 8 6 (U S , A 1)
 特開平 0 4 - 3 4 8 6 7 6 (J P , A)
 米国特許出願公開第 2 0 1 1 / 0 0 5 0 8 7 4 (U S , A 1)
 米国特許出願公開第 2 0 1 2 / 0 3 0 7 0 3 0 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

A 6 1 B	1 / 0 0	-	1 / 3 2
G 0 2 B	2 3 / 2 4	-	2 3 / 2 6
H 0 4 N	5 / 2 2 2	-	5 / 2 5 7
H 0 4 N	5 / 3 0	-	5 / 3 7 8

专利名称(译)	图像传感器同步，无输入时钟和数据传输时钟		
公开(公告)号	JP6433975B2	公开(公告)日	2018-12-05
申请号	JP2016503294	申请日	2014-03-15
[标]申请(专利权)人(译)	橄榄医疗公司		
申请(专利权)人(译)	橄榄·医疗·コーポレイション		
当前申请(专利权)人(译)	Depyui-Synthes公司产品，公司		
[标]发明人	ブランカートローラン ウィヘルンドナルドエム		
发明人	ブランカート・ローラン ウィヘルン・ドナルド・エム		
IPC分类号	A61B1/045 A61B1/04 A61B1/00 G02B23/24 H04N5/341 H04N5/225 H04N5/232 H04N5/369 H04N5/374		
CPC分类号	A61B1/045 A61B1/05 A61B1/0638 H04N5/3765 H04N2005/2255		
FI分类号	A61B1/045.630 A61B1/04.530 A61B1/00.680 G02B23/24.B H04N5/341 H04N5/225.500 H04N5/232 H04N5/369 H04N5/374		
优先权	61/790590 2013-03-15 US 61/800502 2013-03-15 US		
其他公开文献	JP2016520341A		
外部链接	Espacenet		

摘要(译)

本公开扩展到用于通过减少用于数据传输和时钟生成的成像传感器垫计数来减小图像传感器的面积的系统和方法。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6433975号 (P6433975)
(45) 発行日 平成30年12月5日(2018.12.5)	(24) 登録日 平成30年11月16日(2018.11.16)	
(51) Int. Cl. F I		
A 6 1 B 1/045 (2006.01)	A 6 1 B 1/045 6 3 0	
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 5 3 0	
A 6 1 B 1/00 (2006.01)	A 6 1 B 1/00 6 8 0	
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	
H 0 4 N 5/341 (2011.01)	H 0 4 N 5/341	
請求項の数 22 (全 19 頁) 最終頁に続く		
(21) 出願番号 特願2016-503294 (P2016-503294)	(73) 特許権者 513069064	
(86) (22) 出願日 平成28年3月15日(2014.3.15)	デピュイ・シンセス・プロダクツ・インコーポレイテッド	
(65) 公表番号 特表2016-530341 (P2016-520341A)	アメリカ合衆国、02767-0350	
(43) 公表日 平成28年7月14日(2016.7.14)	マサチューセッツ州、レイナム、パラマウント・ドライブ 325	
(86) 国際出願番号 PCT/US2014/029970	325 Paramount Drive	
(87) 国際公開番号 WO2014/145246	, Raynham MA 02767-0350 United States of America	
(87) 国際公開日 平成26年9月18日(2014.9.18)	(74) 代理人 100088605	
審査請求日 平成29年2月7日(2017.2.7)	弁理士 加藤 公延	
(31) 優先権主張番号 61/790,590	(74) 代理人 100130384	
(32) 優先日 平成25年3月15日(2013.3.15)	弁理士 大島 孝文	
(33) 優先権主張国 米国(US)		
(31) 優先権主張番号 61/800,502		
(32) 優先日 平成25年3月15日(2013.3.15)		
(33) 優先権主張国 米国(US)		

(54) 【発明の名称】 入力クロック及びデータ伝送クロックのない画像センサ同期

最終頁に続く